

## INFORMATION PROCESSOR

Patent Number: JP9325912  
 Publication date: 1997-12-16  
 Inventor(s): NAKAMURA AKIHIRO  
 Applicant(s): OKI ELECTRIC IND CO LTD  
 Requested Patent: JP9325912  
 Application Number: JP19960145610 19960607  
 Priority Number(s):  
 IPC Classification: G06F12/08; G06F11/30; G06F13/00; G06F13/362  
 EC Classification:  
 Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide an information processor with which reliability can be improved by preventing the execution of erroneous instruction or the continuous usage of erroneous data until the detection of error without increasing any hardware quantity or controlled variable.

**SOLUTION:** In an information processor 20, a bus monitoring device 22 for possessing and sending an address and a control signal through a bus, bus arbiter 23 for switching the input/output of the control signal to the bus, CPU 12 and 13 having caches, main storage devices 14 and 15 and input/output devices 16 and 17 are connected to a system bus 21 and when performing access from the CPU 12 and 13 and the input/output devices 16 and 17 to the address bus 21, the bus monitoring device 22 checks the presence/absence of conflict in data control, sends out the result to the address bus 21 and reports the validity/invalidity of bus access.

Data supplied from the esp@cenet database - I2

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-325912

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/08	3 1 0	7623-5B	G 0 6 F 12/08	3 1 0 B
11/30	3 2 0		11/30	3 2 0 B
13/00	3 0 1		13/00	3 0 1 A
13/362	5 2 0		13/362	5 2 0 C

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平8-145610

(22) 出願日 平成8年(1996)6月7日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 中村 彰博

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

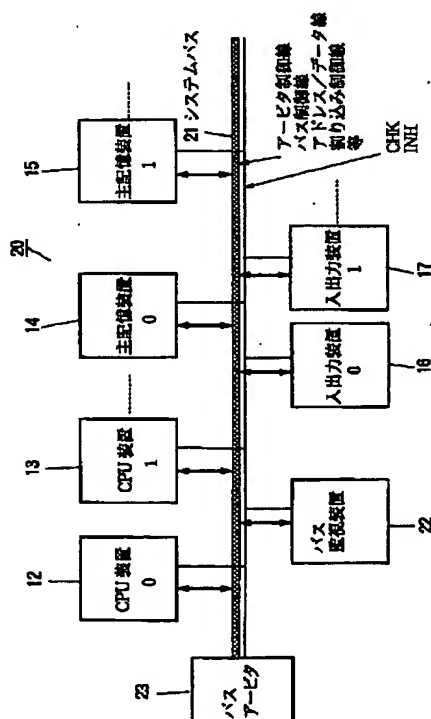
(74) 代理人 弁理士 前田 実

## (54) 【発明の名称】 情報処理装置

## (57) 【要約】

【課題】 ハード量及び制御量を増加することなく、エラーを検出するまで誤った命令を実行または誤ったデータを使用し続けることを回避でき、信頼性を高めることができる情報処理装置を提供する。

【解決手段】 情報処理装置 20 は、システムバス 21 に、バスを通してアドレス及び制御信号を取得及び送出し得るバス監視装置 22、バスに対する制御信号の入出力を切り替えるバスアービタ 23、キャッシュを有する CPU 装置 12、13、主記憶装置 14、15 及び入出力装置 16、17 が接続され、バス監視装置 22 は、CPU 装置 12、13、入出力装置 16、17 が、アドレスバス 21 に対してアクセスする時、データ制御に矛盾がないか否かをチェックし、その結果をアドレスバス 21 に送出して、バスアクセスの有効/無効を通知する。



本発明のシステム構成

## 【特許請求の範囲】

【請求項 1】 バスに複数の CPU 装置、主記憶装置、入出力装置が接続され、CPU 装置にキャッシュを有する情報処理装置において、

前記バスを通してアドレス及び制御信号を取得及び送出し得るバス監視手段を備え、

前記バス監視手段は、前記 CPU 装置、又は前記入出力装置が、前記バスに対してアクセスする時、データ制御に矛盾がないか否かをチェックし、該チェック結果を前記バスに送出して、バスアクセスの有効／無効を通知することを特徴とする情報処理装置。

【請求項 2】 前記バス監視手段は、データ制御の矛盾を検出した時、前記バスに接続されたすべての CPU 装置及び主記憶装置に対し該当データの無効化を指示することを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記バス監視手段は、データ制御の矛盾を検出した時、該当データの無効化を受信した主記憶装置が、該当データに対し誤り検出符号エラーとなるようにシンドローム情報を書き換え、再び該当データを使用できなくすることを特徴とする請求項 1 記載の情報処理装置。

【請求項 4】 前記バスに対するアドレス／データ、制御信号の入出力を切り替えるバスアービタを備え、前記バス監視手段は、データ制御の矛盾を検出した時、前記バスアービタに通知し解除の指示があるまでバスアクセスを禁止することを特徴とする請求項 1 記載の情報制御装置。

【請求項 5】 前記バス監視手段は、データ制御の矛盾を検出したことにより前記バスアービタがバスアクセスを禁止した時、その時エラーを検出された CPU 装置が障害処理を実行している間、他 CPU 装置が命令処理を停止することを特徴とする請求項 1 又は 4 の何れかに記載の情報制御装置。

【請求項 6】 前記バス監視手段は、データ制御の矛盾を検出したことを記憶する記憶手段を備え、再び同アドレスがバス上に送出された時、無効を指示することを特徴とする請求項 1 記載の情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、情報処理装置に係り、詳細には、ストアイン方式のキャッシュを有する CPU 装置と主記憶装置の間で共有または専有するデータを管理（チェック及びエラー発生時の処理）する情報処理装置に関する。

## 【0002】

【従来の技術】 計算機は、記憶装置、処理装置及び入出力装置から構成される。このなかで、記憶装置は処理に必要な情報、すなわちプログラムやデータを蓄えておき必要に応じて処理装置に供給する。また、入出力装置と処理装置間の情報の転送に際して一時的に情報を保持す

る役割を有する。

【0003】 キャッシュ記憶は、処理装置と主記憶装置の間におく高速・小容量の記憶装置であり、主記憶上のプログラムやデータの写しが置かれる。処理装置は、主記憶の代わりにキャッシュ記憶からデータを高速に読み出し、また実行結果を格納することができる。キャッシュ記憶の制御方式のうちストアイン（ストアスワップともいう）方式は、キャッシュに必ずストアするためブロックが登録されていなければブロック転送を行ってからストアする。主記憶へのストアは、ストアされたキャッシュ上のブロックが置換（リプレイス）されるときに、これを主記憶に書き戻すことによつてのみ行う。したがって、ストアインではストアのたびに主記憶を参照する必要がないためストアの性能がよい。

【0004】 図 11 は従来の CPU 装置がキャッシュを有する場合のシステム構成を示すブロック図である。

【0005】 図 11 において、情報処理装置は、システムバス 10、バスアービタ 11、CPU 装置 12、13、主記憶装置 14、15 及び入出力装置 16、17 から構成される。

【0006】 上記システムバス 10 は、アービタ制御線、バス制御線、アドレス／データ線、割り込み制御線等からなる。

【0007】 図 11 に示すように、システムバス 10 に複数の CPU 装置 12、13、主記憶装置 14、15、入出力装置 16、17 が接続されている情報処理装置において、CPU 装置 12、13 がキャッシュを有する場合、CPU 装置 12、13 がキャッシュに所有する主記憶装置 14、15 の写しと主記憶装置 14、15 の内容に矛盾が発生しないよう制御される。

【0008】 ストアスルー方式のキャッシュの場合、例えば、CPU 装置 12（CPU 装置 0）がメモリライトを実行する際、自キャッシュに書き換え対象のアドレスが存在すると該当アドレスを無効化するか若しくは該当データを書き換える。

【0009】 この時、他 CPU 装置は、バス上に送出されるアドレスを監視し、自キャッシュに書き換え対象のアドレスが存在すると該当アドレスを無効化するか若しくは該当データを書き換える。または、CPU 装置 12（CPU 装置 0）が主記憶装置に対しメモリライトを実行するとともに他 CPU 装置に対し無効化または該当データの書き換え指示を行う。

【0010】 ストアイン方式のキャッシュの場合、例えば、CPU 装置 12（CPU 装置 0）がメモリライトを実行する際、自キャッシュに書き換え対象のアドレスが存在すると該当データを書き換えるとともに、該当データが CPU 装置 0 で専有していなければ（すなわち、既に CPU 装置 0 で書き換えたものでなければ）、バスに対し該当アドレスのデータを書き換えたことを通知する。この時、他 CPU 装置は、バス上に送出されるアド

## 3

レスを監視し、自キャッシュに該当するアドレスが存在すると該当データを無効化する。

【0011】この時、もし該当データを他CPU装置が既に専有しているものであれば（既に他CPU装置で書き換えたものあれば）、データ制御にエラーが発生したことを自プロセッサに通知し障害処理を行うか、または、バスに対し該当アドレスにてデータ制御にエラーが発生したこと（キャッシュコンヒーレンシ・エラー）を通知する。

【0012】また、CPU装置0でコピーバック（キャッシュ内部で書き換えたデータを主記憶装置に書き戻す処理）が発生した場合、同様に他CPU装置は、バス上に送出されるアドレスを監視し、自キャッシュに該当するアドレスが存在すると、データ制御にエラーが発生したことを自プロセッサに通知し障害処理を行うか、または、バスに対し該当アドレスにてデータ制御にエラーが発生したこと（キャッシュコンヒーレンシ・エラー）を通知する。

【0013】

【発明が解決しようとする課題】しかしながら、このような従来の情報処理装置にあっては、以下のような問題点があった。

【0014】すなわち、(1)キャッシュの内容と主記憶の内容に不整合が発生した場合、検出するまでに時間がかかる。キャッシュに持っているデータの書き換えまたはコピーバックのために、CPU装置がバスにアクセスするまで検出できない。このため、エラーを検出するまで誤った命令を実行または誤ったデータを使用し続けることとなり、情報処理装置として信頼性を欠くことになる。

【0015】(2)データの不整合が検出された場合、直ちに他CPU装置に存在するデータを削除しなければならないが、全てのCPU装置・主記憶装置がバスを監視し、エラーを検出した時にデータを無効化する機構を持つとすると装置全体としてハード量がきわめて大きいものになる。

【0016】(3)データの不整合が検出された場合、主記憶装置のデータも無効化するとすると主記憶装置も各データに対し、そのデータの有効／無効を示すフラグを持たなければならない。これは、ストアイン方式のキャッシュを持つ情報処理装置において主記憶装置にいつも最新の正しいデータが存在しているわけではないためである。このフラグを持つとすると主記憶装置の容量によるが、一般的に相当大容量のメモリを必要とする。

【0017】(4)データの不整合が検出された場合、障害情報の取得やリカバリ、各ハードウェアの診断等で時間を要する場合があります。この間他のCPU装置、入出力装置が誤ったデータを使用する場合があります。また、障害解析等のため、状態を保持したい場合があっても、即座にバスアクセスを停止させることはできない。

## 4

【0018】(5)同様に、データの不整合が検出された場合、障害情報の取得やリカバリ、各ハードウェアの診断等時間を要する場合があります。この間CPU装置が誤ったデータを使用する、あるいは誤った命令を実行することがある。また、障害解析等のため、状態を保持したい場合があっても、即座に命令実行を停止させることができない。

【0019】(6)このような障害により、主記憶装置やCPU装置から消失したデータに対し、リカバリができない間に再び該当アドレスに対しアクセスすると誤ったデータを使用する、あるいは誤った命令を実行することとなる。

【0020】本発明は、ハード量及び制御量の増加を極力抑え、エラーを検出するまで誤った命令を実行または誤ったデータを使用し続けることを回避でき、信頼性を高めることができる情報処理装置を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明に係る情報処理装置は、バスに複数のCPU装置、主記憶装置、入出力装置が接続され、CPU装置にキャッシュを有する情報処理装置において、バスを通してアドレス及び制御信号を取得及び送出し得るバス監視手段を備え、バス監視手段は、CPU装置、又は入出力装置が、バスに対してアクセスする時、データ制御に矛盾がないか否かをチェックし、該チェック結果をバスに送出して、バスアクセスの有効／無効を通知するように構成する。

【0022】また、バス監視手段は、データ制御の矛盾を検出した時、バスに接続されたすべてのCPU装置及び主記憶装置に対し該当データの無効化を指示するようにしてもよく、また、バス監視手段は、データ制御の矛盾を検出した時、該当データの無効化を受信した主記憶装置が、該当データに対し誤り検出符号エラーとなるようにシンドローム情報を書き換え、再び該当データを使用できなくするように指示してもよい。

【0023】また、バスに対するアドレス／データ、制御信号の入出力を切り替えるバスアービタを備え、バス監視手段は、データ制御の矛盾を検出した時、バスアービタに通知し解除の指示があるまでバスアクセスを禁止するようにしてもよく、また、バス監視手段は、データ制御の矛盾を検出したことによりバスアービタがバスアクセスを禁止した時、その時エラーを検出されたCPU装置が障害処理を実行している間、他CPU装置が命令処理を停止するようにしてもよい。

【0024】また、バス監視手段は、データ制御の矛盾を検出したことを記憶する記憶手段を備え、再び同アドレスがバス上に送出された時、無効を指示するものであってもよい。

【0025】

【発明の実施の形態】本発明に係る情報処理装置は、C

## 5

PU装置と主記憶装置の間で共有または専有するデータを管理(チェック及びエラー発生時の処理)する情報処理装置に適用することができる。

【0026】図1は本発明の第1の実施形態に係る情報処理装置の構成を示す図であり、ストアイン方式のキャッシュを有するCPU装置と主記憶装置の間で共有または専有するデータを管理する情報処理装置に適用した例である。

【0027】図1の説明にあたり、前記図11と同一構成部分及び同一信号部分には同一符号を付している。

【0028】図1において、情報処理装置20は、システムバス21、バス監視装置22(バス監視手段)、バスアービタ23、CPU装置12、13、主記憶装置14、15及び入出力装置16、17から構成される。

【0029】上記システムバス21は、アービタ制御線、バス制御線、アドレス/データ線、割り込み制御線等に加え、インタフェース信号線としてCHK(バスチェック)、INH(バスアクセス禁止)が付加されている。

【0030】図2は上記バス監視装置22及びバスアービタ23の構成を示す図である。

【0031】図2において、バス監視装置22は、アドレスフリップフロップ(F/F)31、制御信号F/F32、CHKF/F33、制御部34及びデータ部35(記憶手段)から構成され、また、バスアービタ23は、制御信号F/F41、INH42及び制御部43から構成される。

【0032】上記バス監視装置22は、システムバス21よりアドレスF/F31、制御信号F/F32を通して、アドレス及び制御信号を取得及び送出する。

【0033】上記アドレスF/F31、データ部35、制御信号F/F32は、制御部34に接続されており、アドレスF/F31、制御信号F/F32のシステムバス21に対する入出力の切り替え、書き込みは制御部34で制御する。

【0034】また、制御部34は、CHKF/F33に接続され、CHKF/F33はシステムバス21に接続されている。CHKF/F33のセット・リセットも制御部34で行う。

【0035】上記データ部35は、メモリで構成されており、キャッシュのエントリ単位にデータの各装置における状態を示すフラグを持つ。さらに、制御部34は、データ部35に接続されて該当アドレスに対するフラグをリード/ライトする。

【0036】一方、上記バスアービタ23は、システムバス21より制御信号F/F41を通して、制御信号を取得及び送出することができる。また、制御信号F/F41は制御部43に接続され、制御信号F/F41のシステムバス21に対する入出力の切り替え、ライトは制御部43で制御する。但し、制御方法によっては制御信

## 6

号F/F41を介さず直接制御部43に接続される場合もある。また、バス監視装置22で生成されるCHK信号は直接制御部43へ接続される。

【0037】制御部43は、INH/F42に接続され、INH/F42はシステムバス21に接続されている。CHKF/F33のセット・リセットもこの制御部43で行う。

【0038】図3は主記憶装置、シンドロームデータ生成部周辺の構成を示す図である。

10 【0039】図3において、読み出しデータ及び書き込みデータを選択するセクタ51、書き込みデータを保持するデータF/F52、誤り訂正符号(ECC: error correcting code)ビットを生成するシンドロームデータ生成部53、及び記憶素子を並べたメモリアレーからなるDRAM54から構成される。

【0040】図3に示すように、主記憶装置のシンドロームデータ生成部53に、主記憶装置の制御部にて生成される「ECC2bエラー生成指示」信号が接続された構成となっている。

20 【0041】図4はCPU装置、割り込み生成部周辺の構成を示す図である。

【0042】図4において、61は割り込み信号及びINH信号を基に割り込みベクタを生成する割り込み生成部、62は割り込みベクタを受けたとき割り込みを行うプロセッサである。

【0043】図4に示すように、CPU装置の割り込み生成部61に、システムバス21よりINH信号が接続される。

30 【0044】次に、上述のように構成された情報処理装置20の動作を説明する。

【0045】まず、図2～図4を参照してバス監視装置22及びバスアービタ23の動作を説明する。

【0046】1. バスアクセスの有効/無効を通知(図2参照)

(1) システムバス21に対しメモリアクセス要求が送出された時、バス監視装置22はシステムバス21上のアドレスをアドレスF/F31に、制御信号を制御信号F/F32に取り込む。

40 【0047】(2) アドレスF/F31によって選択されたデータ部の内容(フラグ)を制御部34が読み取り、制御部34は制御信号F/F32の内容と併せてデータ制御が正しいかどうかのチェックを行う。

【0048】(3) データ制御の矛盾を検出した場合、制御部34はCHKF/F33をセットする。CHKF/F33のセットによりシステムバス21のCHK信号が“L”(無効)を示す。

【0049】(4) CHK信号が「無効」の場合、アクセス要求の送出元は応答ステータスが「正常」であっても「異常」として処理する。

50 【0050】2. データ制御の矛盾を検出した場合、シ

システムバスに対し該当データの無効化を指示（図2参照）

（1）データ制御の矛盾を検出した場合、バス監視装置22の制御部34はバスに対し、バス権を取得後、該当アドレスをシステムバス21に送出し、制御信号にて該当アドレスを含むエントリを削除するよう指示する。

【0051】（2）無効化処理が終了したところでCHK信号をリセットする。CHK信号が「無効」を示すとき、システムバス21のアクセス権はバス監視装置22が最優先とする。したがって、バスビジー信号が“H”（無効）になった直後に無効化処理がシステムバス上に送出される。

【0052】3. 無効化処理受信時の主記憶装置の処理（図3参照）

（1）システムバス21にデータの無効化処理が送出された場合、主記憶装置の制御部はシンドロームデータ生成部53に対し、「ECC2bエラー生成指示」を送出する。

【0053】（2）主記憶装置の制御部は該当アドレスに対し読み出されたデータをデータF/F52にライトする。

【0054】（3）該当データに対し、ECC2bエラーを生成する任意のシンドロームを生成し、メモリ（DRAM）54に書き戻す。

【0055】4. INH（バスアクセス禁止）信号の送出（図2参照）

（1）バス監視装置22がシステムバス21に対し、CHK信号：“L”（無効）を送出した時、バスアービタ23はINH/F42をセットする。

【0056】（2）このとき、システムバス21のINH信号が“L”（禁止）を示し、バスアービタ23がバス権取得要求に対し許可を出さないか、またはシステムバス21に接続される各装置がバス権許可を無効化する。

【0057】5. CPU装置の命令実行停止（図4参照）

（1）INH信号が“L”（禁止）の時、割り込み生成部61は最高レベルの割り込みベクタを生成しプロセッサ62に通知する。

【0058】（2）プロセッサ62の割り込み処理で、自装置が該当エラーの処理中でない場合はINH信号が“H”（正常）となるまで命令実行を停止する。

【0059】6. エラーが発生したアドレスに再度アクセスが発生した場合、バスアクセスの無効を通知（図2参照）

（1）システムバスに対しメモリアクセス要求が送出された時、バス監視装置22はシステムバス21上のアドレスをアドレスF/F31に、制御信号を制御信号F/F32に取り込む。

【0060】（2）アドレスF/F31によって選択さ

れたデータ部の内容（フラグ）を制御部34が読み取り、データが有効であるかどうか（エラーが発生したアドレスにアクセスしたかどうか）のチェックを行う。

【0061】（3）データが無効である場合、制御部34はCHK/F33をセットする。CHK/F33のセットによりシステムバス21のCHK信号が“L”（無効）を示す。

【0062】（4）CHK信号が「無効」の場合、アクセス要求の送出元は応答ステータスが「正常」であっても「異常」として処理する。

【0063】図5はCPU装置12（CPU装置0）がシステムバス21に対しメモリリード要求を送出し、CPU装置13（CPU装置1）がデータ応答する場合のタイムチャートである。

【0064】また、図6～図8はバス監視装置22でデータ制御の正当性をチェックする一例を説明するための図であり、図6はバス監視装置22・データ部の詳細を示す図、図7及び図8はバス監視装置22のチェック内容の表（表1）を示す図である。

【0065】以上説明したように、第1の実施形態に係る情報処理装置20は、システムバス21に、バスを通してアドレス及び制御信号を取得及び送出し得るバス監視装置22、バスに対する制御信号の入出力を切り替えるバスアービタ23、キャッシュを有するCPU装置12、13、主記憶装置14、15及び入出力装置16、17が接続され、バス監視装置22は、CPU装置12、13、入出力装置16、17が、アドレスバス21に対してアクセスする時、データ制御に矛盾がないか否かをチェックし、その結果をアドレスバス21に送出して、バスアクセスの有効/無効を通知するようにしているので、キャッシュの内容と主記憶の内容に不整合があると、各装置のバスアクセスに矛盾が発生し、表1（図7、図8）に示すようにバス監視装置22はデータ制御の状態をチェックし、直ちにバスに対し異常が発生したことを通知するため、エラーを検出するまで誤った命令を実行または誤ったデータを使用し続けることを回避でき、信頼性の高い装置を実現することができる。

【0066】また、データの不整合が検出された場合、直ちに他CPU装置に存在するデータを検出しなければならぬ。バス監視装置22が異常を検出したところでシステムバス21に対し、該当データの無効化要求（インバリデイト要求）を送出するため、全てのCPU装置・主記憶装置は特に該当障害を検出した時にデータを無効化する機構を持つ必要はなく、この処理のためのハード量ならびに制御を省略することができる。

【0067】また、データの不整合が検出された場合、主記憶装置のデータも無効化するとすると主記憶装置も各データに対し、そのデータの有効/無効を示すフラグを持たなければならない。これは、ストアイン方式のキャッシュを持つ情報処理装置において主記憶装置にいつ

も最新の正しいデータが存在しているわけではないためである。このフラグを持つとなると主記憶装置の容量によるが、一般的に相当大容量のメモリを必要とする。本実施形態に係る情報処理装置では、該当データの有効／無効を示すフラグを持つかわりに、該当データを ECC 2b エラーとして記憶し、再び使用されることを回避するので、該当フラグ分のハード量を省略することができる。

【0068】さらに、データの不整合が検出された場合、即座にバスアクセスを停止させることができるので、障害情報の取得やリカバリ、各ハードウェアの診断等時間を要する場合でも、この間他の CPU 装置、入出力装置が誤ったデータを使用することを回避することができ、信頼性の高い装置を提供できる。また、障害解析等のために状態を保持することができる。

【0069】同様に、INH 信号をプロセッサに通知することで命令実行を停止させることができ、該当障害処理中、他の CPU 装置が誤ったデータを使用する、あるいは誤った命令を実行することを回避することができ、信頼性の高い装置を提供できる。また、障害解析等のために状態を保持することができる。

【0070】さらにまた、該当障害により、主記憶装置や CPU 装置から消失したデータに対し、リカバリができない間に再び該当アドレスに対しアクセスすると誤ったデータを使用する、あるいは誤った命令を実行することとなるがこれを回避し、信頼性の高い装置を提供できる。

【0071】上述した第 1 の実施形態では、バス監視装置 22 が、システムバス 21 に接続される単一のモジュールとして記述しているが、主記憶装置の容量・数量に応じて分割することも可能であり、この例を第 2 実施形態で説明する。本実施例のハード構成は、前記図 1 ～ 図 4 に示す第 1 の実施形態に係る情報処理装置の構成と略同一であるが以下の点が異なる。

【0072】バス監視装置 22 は、システムバス 21 に接続される単一のモジュールとしてではなく、主記憶装置の容量・数量に応じて分割するようにする。また、ハード量により CPU 装置、主記憶装置にインプリメントすることも可能である。

【0073】また、バス監視装置 22 にデータ部を設けず、バスアクセス時に各装置からデータの状態を送出させることにより、データの状態をチェックすることができる構成とし、システムバス 21 上に各装置それぞれデータの状態を示すデータ線を持つものとする。

【0074】また、システムバス 21 上の信号にバスアクセス中を示す信号線があれば、これをバス監視装置 22 でドライブすることによりシステムバス 21 上の新規アクセスを抑止することが可能に構成する。前記図 5 に示す SBB (バスビジー信号) がこれにあたり、バス監視装置 22 またはバスアービタ 23 の制御部が、この信

号線に接続される。また、CHK 信号が “L” (無効) のとき、バスへの新規要求を禁止するインタフェースとする。

【0075】さらに、CHK 信号が “L” (無効) のとき、プロセッサに割り込み命令実行を禁止するインタフェースとする。

【0076】第 2 の実施形態に係る情報処理装置の動作を、前述した第 1 の実施形態の情報処理装置の動作 1. ～ 6. に対比しつつ説明する。

10 【0077】1. バスアクセスの有効／無効を通知

(1) バス監視装置を主記憶装置の容量・数量に応じて分割するか、またはバス監視装置 22 自身を CPU 装置・主記憶装置に分散させるが、動作としては第 1 の実施形態の単一モジュールの場合と同様である。

20 【0078】(2) システムバス 21 にアクセス要求が送出されると、各装置は該当アドレスに対するデータ状態をシステムバス 21 上に送出する。送出先は、システムバス 21 上各装置に割り当てられた専用線か、時分割によって送出タイミングを規定された共通線によって行う。

【0079】バス監視装置 22 は、このデータを読み取りアクセス要求時に送出される制御信号とあわせてデータ制御に矛盾がないかどうかをチェックする。

【0080】共通線を使用する場合は、このチェックが終了するまでは、目的とするバスアクセスが完了したとしても、バスをリリースしない (バスビジー信号 SBB を “L” のままにする)。

30 【0081】2. データ制御の矛盾を検出した場合、システムバスに対し該当データの無効化を指示  
第 1 の実施形態の動作 2. と同様である。

【0082】3. 無効化処理受信時の主記憶装置の処理第 1 の実施形態の動作 3. と同様である。

【0083】4. INH (バスアクセス禁止) 信号の送出

40 (1) データの不整合が検出された場合、「バスアクセス中により新規アクセス禁止、あるいはバス権許可信号」をドライブする。例えば、前記図 5 に示す SBB (バスビジー) 信号がこれにあたり、バス監視装置 22 またはバスアービタ 23 の制御部がこの信号を “L” にドライブする。

【0084】(2) CHK 信号をバスへの新規要求を禁止するインターフェースとする。バスアービタ 23 は、CHK 信号が “L” (無効) の場合、バスアクセス許可信号を抑止するか、各装置がバスアクセス許可を受信しても無効とする。このとき、CHK 信号を “H” (有効) に戻すタイミングは INH 信号のリセットタイミングと同じになる。

50 【0085】5. CPU 装置の命令実行停止  
CHK 信号が “L” (禁止) の時、割り込み生成部 61 は最高レベルの割り込みベクタを生成し、プロセッサ 6



2に通知する。プロセッサ62の割り込み処理で、自装置が該当エラーの処理中でない場合はCHK信号が“H”（有効）となるまで命令実行を停止する。

【0086】6. エラーが発生したアドレスに再度アクセスが発生した場合、バスアクセスの有効を通知バス監視装置22を主記憶装置の容量・数量に応じて分割するか、またはバス監視装置自信をCPU装置・主記憶装置に分散させるが、動作としては単一モジュールの場合と同様である。

【0087】以上説明したように、第2の実施形態に係る情報処理装置は、バスアクセスの有効／無効を通知する場合には、バス監視装置22を主記憶装置の容量・数量に応じて分割すると、専有するスロット数が増加するが、バス監視装置のハード量を最適にすることができる。バス監視装置22自身をCPU装置・主記憶装置に分散させると、CPU装置・主記憶装置自体のハード量が増大するが、バス監視装置分のスロット数を節約することができる。

【0088】また、システムバス21にアクセス要求が送出されると、各装置は該当アドレスに対するデータ状態をシステムバス21上へ送出する。各装置の制御が複雑になるが、バス制御装置のデータ部のハード量を削除することができる。

【0089】送出先がシステムバス上各装置に割り当てられた専用線の場合は、バスの信号線数が増加するが、チェックに要する時間を最短にすることができる。送出先が時分割によって送出タイミングを規定された共通線の場合は、チェックに時間を要するが、バスの信号線数を最少にすることができる。

【0090】また、INH（バスアクセス禁止）信号の送出の場合には、INH信号を削除し、SBB信号・CHK信号で代用することにより、制御は複雑になるものの、バスの信号線数を節約することができる。

【0091】また、CPU装置の命令実行停止の場合には、INH信号を削除し、SBB信号・CHK信号で代用することにより、制御は複雑になるものの、バスの信号線数を節約することができる。

【0092】また、エラーが発生したアドレスに再度アクセスが発生した時に、バスアクセスの有効を通知する場合には、バス監視装置22を主記憶装置の容量・数量に応じて分割すると、専有するスロット数が増加するが、バス監視装置のハード量を最適にできる。バス監視装置22自身をCPU装置・主記憶装置に分散させると、CPU装置・主記憶装置自体のハード量が増大するが、バス監視装置分のスロット数を節約することができる。

【0093】ここで、「バスアクセスの有効／無効の通知」について、さらに厳密にデータ制御の状態をチェックする方法について述べる。これにより、さらに信頼性の高い装置を提供することができる。

【0094】バス監視装置22は、システムバス21にメモリリードまたはメモリリード&モディファイ（図6及び表1（図7、図8）では単にモディファイとした）の要求が送出されると、データ部35に所有するフラグを参照し、データ制御の状態をチェックし、問題がなければ、CHK信号は“H”（有効）となる。ここでは、この要求に対し、どの装置から応答が返ってくるかをチェック項目として追加する。

【0095】図9はシステムバス21の動作を説明するためのタイミングチャートであり、図10はそのバス監視装置22のチェック内容の表（表2）を示す図である。

【0096】図9に示すように、応答受信時、SMD（装置名）を参照し、表2に示すようにデータ部に所有するフラグを参照チェックを行う。

【0097】このようにすれば、バスアクセスの有効／無効の通知についてさらに厳密にデータ制御の状態をチェックすることができ、より装置の信頼性を高めることができる。

【0098】したがって、このような優れた特長を有する情報処理装置を、各種計算機に適用すれば、これら装置の信頼性を向上させることができる。

【0099】なお、上記各実施形態に係る情報処理装置を、上述したようなストアイン方式のキャッシュを有するCPU装置と主記憶装置に適用することもできるが、勿論これには限定されず、バスに複数のCPU装置、主記憶装置、入出力装置が接続され、CPU装置にキャッシュを有する情報処理装置であれば全ての装置に適用可能であることは言うまでもない。

【0100】また、上記実施形態では、データの誤り訂正符号に、ECC2bエラーのシンドローム生成を用いているが、どのような誤り訂正方法であってもよい。

【0101】さらに、上記情報処理装置を構成する複数のCPU装置、主記憶装置等の種類、接続数、接続形態などは上述の実施形態に限られないことは言うまでもない。

【0102】

【発明の効果】本発明に係る情報処理装置では、バスに複数のCPU装置、主記憶装置、入出力装置が接続され、CPU装置にキャッシュを有する情報処理装置において、バスを通してアドレス及び制御信号を取得及び送出し得るバス監視手段を備え、バス監視手段は、CPU装置、又は入出力装置が、バスに対してアクセスする時、データ制御に矛盾がないか否かをチェックし、該チェック結果をバスに送出して、バスアクセスの有効／無効を通知するように構成しているので、ハード量及び制御量を増加することなく、エラーを検出するまで誤った命令を実行または誤ったデータを使用し続けることを回避でき、信頼性を高めることができる。

【図面の簡単な説明】



【図1】本発明を適用した第1の実施形態に係る情報処理装置の構成を示すブロック図である。

【図2】上記情報処理装置のバス監視装置及びバスアービタの構成を示す図である。

【図3】上記情報処理装置の主記憶装置、シンドロームデータ生成部周辺の構成を示す図である。

【図4】上記情報処理装置のCPU装置、割り込み生成部周辺の構成を示す図である。

【図5】上記情報処理装置のシステムバスの動作を示すタイミングチャートである。

【図6】上記情報処理装置のバス監視装置及びそのデータ部の動作を説明するための図である。

【図7】上記情報処理装置のバス監視装置のチェック内容の表を示す図である。

【図8】上記情報処理装置のバス監視装置のチェック内容の表を示す図である。

【図9】本発明を適用した他の実施形態に係る情報処理装置のシステムバスの動作を示すタイミングチャートである。

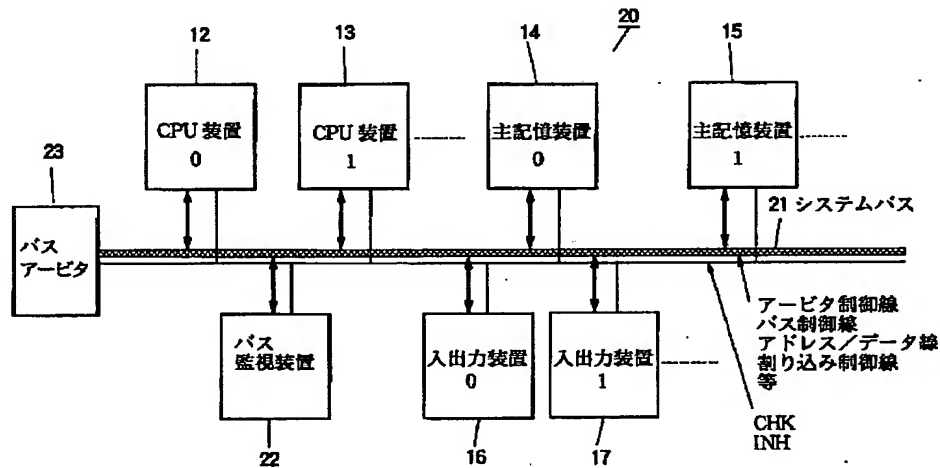
【図10】上記情報処理装置のバス監視装置のチェック内容の表を示す図である。

【図11】従来の情報処理装置の構成を示すブロック図である。

【符号の説明】

20 情報処理装置、21 システムバス、22 バス監視装置（バス監視手段）、23 バスアービタ、12, 13 CPU装置、14, 15 主記憶装置、16, 17 入出力装置、31 アドレスフリップフロップ（F/F）、32 制御信号F/F、33 CHKF/F、34 制御部、35 データ部（記憶手段）、41 制御信号F/F、42 INH、43 制御部

【図1】



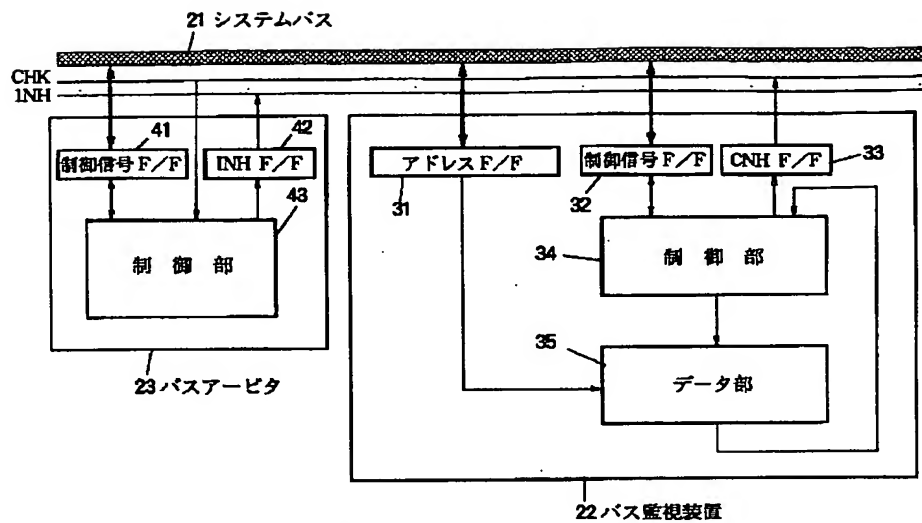
本発明のシステム構成

【図8】

表1. バス監視装置、制御部のチェック内容(CPU装置2台の場合)(その2)

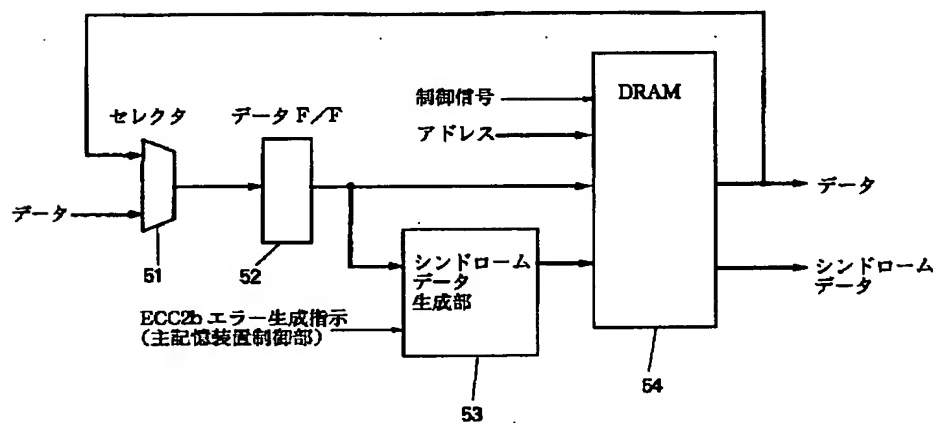
入 力						出力	状態遷移				記事
バス監視装置・データ部				制御信号 F/F			バス監視装置・データ部				
CPU0	CPU1	MEM	SOS	SMD	CHK	CPU0	CPU1	MEM			
1	0	0	0	0	リード	CPU0	0	1	1	1	0
1	0	0	0	0	リード	CPU1	1	0	0	1	0
1	0	0	0	0	モディファイ	CPU0	0	1	1	1	0
1	0	0	0	0	モディファイ	CPU1	1	0	0	1	0
1	0	0	0	0	インバリデイト	CPU0	0	1	1	1	0
1	0	0	0	0	インバリデイト	CPU1	0	1	1	1	0
1	0	0	0	0	ライト	CPU0	1	0	0	0	1
1	0	0	0	0	ライト	CPU1	0	1	1	1	0
1	0	0	0	1	×	×	0	1	1	1	0
1	0	0	1	×	×	×	0	1	1	1	0
1	0	1	0	×	×	×	0	1	1	1	0
1	0	1	1	×	×	×	0	1	1	1	0
1	1	×	×	×	×	×	0	1	1	1	0

【図 2】



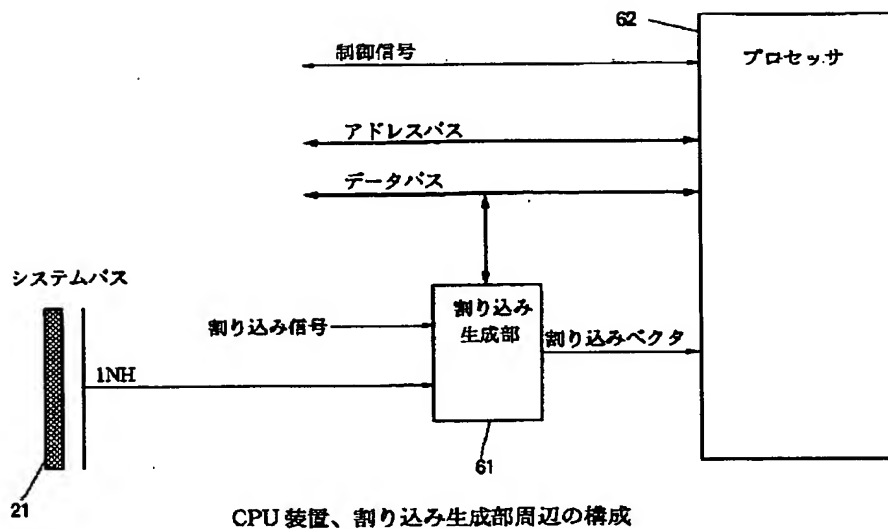
バス監視装置・バスアービタの構成

【図 3】

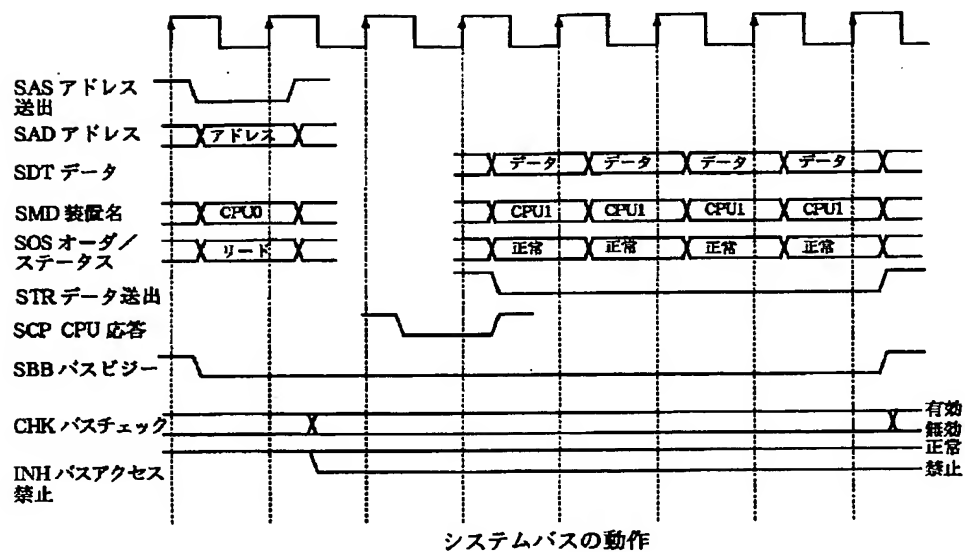


主記憶装置、シンドロームデータ生成部周辺の構成

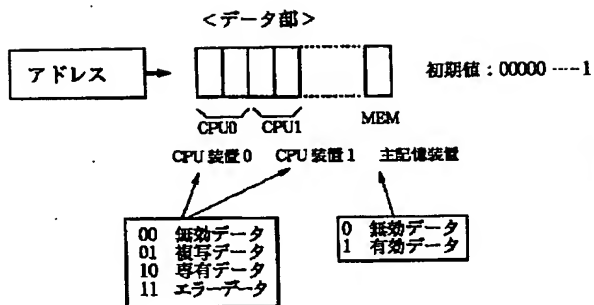
【図 4】



【図 5】



【図 6】



\*データ部はキャッシュのエントリ単位に各装置が所有するデータの状態を示すフラグを持つ。  
CPU0、CPU1、---- (各2ビット):  
00: 無効データ(データが存在しない)  
01: 複写データ(主記憶の複写データであることを示す)  
10: 有効データ(書き換えデータであることを示す)  
11: エラーデータ(データ制御にエラーがあったことを示す)  
MEM (1ビット): 0: 無効データ(データが存在しない)、  
1: 有効データ(データが存在する)

\*制御信号 F/F の内容により状態が遷移する(表 1 参照)。  
SOS (オーダ): リード、モディファイ(自 CPU で書き換えることを目的としたリード)、  
インバリデイト(自 CPU で書き換えることを通知する)、  
ライト

SMD (装置名): CPU0、CPU1、---- 等バスアクセス元の装置を示す。

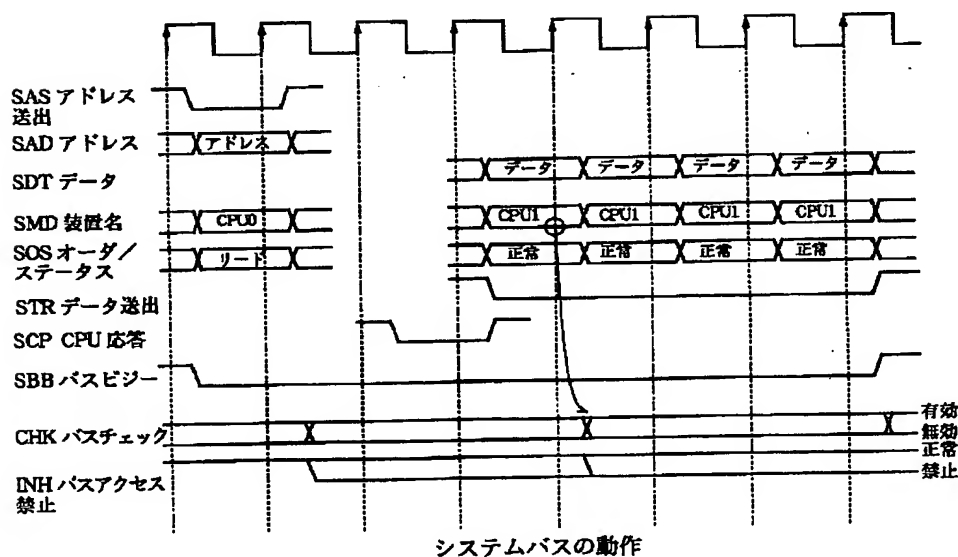
バス監視装置・データ部の詳細

【図 7】

表 1. バス監視装置、制御部のチェック内容(CPU 装置 2 台の場合)(その 1)

入 力						出力		状態遷移			記事	
バス監視装置・データ部			制御信号 F/F			バス監視装置・データ部						
CPU0	CPU1	MEM	SOS	SMD	CHK	CPU0	CPU1	MEM				
0	0	0	0	x	x	0	1	1	0			
0	0	0	0	リード	CPU0	1	0	1	0	1		
0	0	0	0	リード	CPU1	1	0	0	1	1		
0	0	0	0	モディファイ	x	0	1	1	1	0		
0	0	0	0	インバリデイト	x	0	1	1	1	0		
0	0	0	0	ライト	x	0	1	1	1	0		
0	0	0	1	x	x	0	1	1	1	0		
0	0	0	1	リード	CPU0	1	0	1	0	1		
0	0	0	1	リード	CPU1	0	1	1	1	0		
0	0	0	1	モディファイ	CPU0	1	1	0	0	0		
0	0	0	1	モディファイ	CPU1	0	1	1	1	0		
0	0	0	1	インバリデイト	CPU0	0	1	1	1	0		
0	0	0	1	インバリデイト	CPU1	1	0	0	1	0		
0	0	0	1	ライト	x	0	1	1	1	0		
0	0	1	0	リード	CPU0	1	1	0	0	0		
0	0	1	0	リード	CPU1	0	1	1	1	0		
0	0	1	0	モディファイ	CPU0	1	1	0	0	0		
0	0	1	0	モディファイ	CPU1	0	1	1	1	0		
0	0	1	0	インバリデイト	x	0	1	1	1	0		
0	0	1	0	ライト	CPU0	0	1	1	1	0		
0	0	1	0	ライト	CPU1	1	0	0	0	1		
0	0	1	0	x	x	0	1	1	1	0		
0	0	1	1	x	x	0	1	1	1	0		
0	1	0	0	x	x	0	1	1	1	0		
0	1	0	0	リード	CPU0	0	1	1	1	0		
0	1	0	0	リード	CPU1	1	0	1	0	1		
0	1	0	0	モディファイ	CPU0	0	1	1	1	0		
0	1	0	0	モディファイ	CPU1	1	0	0	1	0		
0	1	0	0	インバリデイト	CPU0	1	1	0	0	0		
0	1	0	0	インバリデイト	CPU1	0	1	1	1	0		
0	1	0	0	ライト	x	0	1	1	1	0		
0	1	0	1	x	x	0	1	1	1	0		
0	1	0	1	リード	CPU0	0	1	1	1	0		
0	1	0	1	リード	CPU1	0	1	1	1	0		
0	1	0	1	モディファイ	CPU0	0	1	1	1	0		
0	1	0	1	モディファイ	CPU1	0	1	1	1	0		
0	1	0	1	インバリデイト	CPU0	1	1	0	0	0		
0	1	0	1	インバリデイト	CPU1	1	0	0	1	0		
0	1	0	1	ライト	x	0	1	1	1	0		
0	1	1	0	x	x	0	1	1	1	0		
0	1	1	0	x	x	0	1	1	1	0		
0	1	1	1	x	x	0	1	1	1	0		

【図 9】



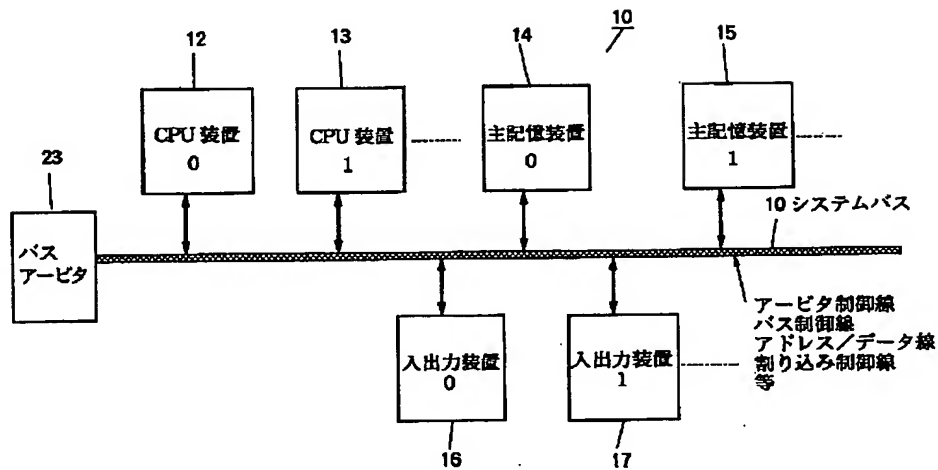
【図 10】

表 2 バス監視装置、制御部のチェック内容(CPU 装置 2 台の場合)  
リードまたはモディファイ要求送出時に「正常」であることを前提とする

入 力						出力		状態遷移				記事
バス監視装置・データ部						制御信号 F/F		バス監視装置・データ部				
						要求時	応答時					
CPU0	CPU1	MEM	SOS	SMD	SMD	CHK	CPU0	CPU1	MEM			
0	0	0	0	1	リード	CPU0	CPU1	0	1	1	1	0
0	0	0	0	1	リード	CPU0	MEM	1	0	1	0	1
0	0	0	0	1	リード	CPU1	CPU0	0	1	1	1	0
0	0	0	0	1	リード	CPU1	MEM	1	0	0	0	1
0	0	0	1	1	リード	CPU0	CPU1	0	1	1	1	0
0	0	0	1	1	リード	CPU0	MEM	0	1	1	1	0
0	0	0	1	1	リード	CPU1	CPU0	0	1	1	1	0
0	0	0	1	1	リード	CPU1	MEM	1	1	0	0	0
0	0	1	0	0	リード	CPU0	CPU1	1	1	0	0	0
0	0	1	0	0	リード	CPU0	MEM	0	1	1	1	0
0	0	1	0	0	リード	CPU1	CPU0	1	1	0	0	0
0	0	1	0	0	リード	CPU1	MEM	0	1	1	1	0
0	1	0	0	0	リード	CPU0	CPU1	1	1	0	0	0
0	0	1	0	0	リード	CPU0	MEM	0	1	1	1	0
0	1	0	0	0	リード	CPU1	CPU0	0	1	1	1	0
0	1	0	0	0	リード	CPU1	MEM	1	0	0	1	0
1	0	0	0	0	リード	CPU1	CPU0	1	0	0	1	0
1	0	0	0	0	リード	CPU1	MEM	0	1	1	1	0
1	0	0	0	0	リード	CPU0	CPU1	1	0	0	1	0
1	0	0	0	0	リード	CPU0	MEM	0	1	1	1	0

注：主記憶装置の応答を優先とした  
要求・応答が同一装置となるパターンは省略した

【図 11】



従来システム構成

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**